

# 动态向量调整的多扫描链测试数据压缩

刘 杰<sup>1,2</sup>, 梁华国<sup>1,3</sup>, 易茂祥<sup>3</sup>, 赵发勇<sup>2</sup>

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 阜阳师范学院物理与电子科学学院, 安徽阜阳 236041;  
3. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009)

**摘 要:** 由于多扫描链测试方案能够提高测试进度, 更适合大规模集成电路的测试, 因此提出了一种应用于多扫描链的测试数据压缩方案. 该方案引入循环移位处理模式, 动态调整向量, 能够保留向量中无关位, 增加向量的外延, 从而提高向量间的相容性和反向相容性; 同时, 该方案还能够采用一种有效的参考向量更替技术, 进一步提高向量间的相关性, 减少编码位数. 另外, 该方案能够利用已有的移位寄存器, 减少不必要的硬件开销. 实验结果表明所提方案在保持多扫描链测试优势的前提下能够进一步提高测试数据压缩率, 满足确定性测试和混合内建自测试.

**关键词:** 测试压缩; 测试数据; 多扫描链; 循环移位

**中图分类号:** TP391.76, TN407

**文献标识码:** A

**文章编号:** 0372-2112 (2012)02-0287-06

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2012.02.013

## Test Data Compression for Multiple Scan Chains with Dynamic Vector Adjustment

LIU Jie<sup>1,2</sup>, LIANG Hua-guo<sup>1,3</sup>, YI Mao-xiang<sup>3</sup>, ZHAO Fa-yong<sup>2</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. School of Physics and Electronic Science, Fuyang Normal College, Fuyang, Anhui 236041, China;

3. School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

**Abstract:** Test schemes with multiple scan chains can speed up test schedule and are more fitting for testing VLSI, and hence a test data compression scheme is proposed and applied to multiple scan chain testing. Treatment model of cyclic shift introduced can dynamically adjust reference vectors, retain don't care bits in vectors and increase extensions of test vectors, and thus compatibility and inverse compatibility between vectors can be heightened. At the same time, an efficient technique for replacement of reference vectors can be exploited to further heighten correlations between vectors and decrease number of code words. Moreover, existing shift registers can be utilized to lower unnecessary hardware overhead. The experiment results demonstrate that the proposed scheme can further improve test compression ratios, meet deterministic fault test and hybrid built-in self test under maintaining advantages of multiple scan chain testing.

**Key words:** test compression; test data; multiple scan chains; cyclic shift

## 1 引言

在当前集成电路测试中<sup>[1~5]</sup>, 为了减少测试时间, 提高测试效率, 采用多扫描链测试替代单扫描链测试已经成为测试研究趋势<sup>[1,5]</sup>, 并有很多相关研究论文发表.

一种多扫描链测试类型是编码测试方案<sup>[6~14]</sup>. 该类方案主要用于确定故障的测试集合, 充分利用无关位, 采用编码技术压缩数据. 尽管这类方案在数据输入

通道和扫描链端口之间接入线性反馈移位寄存器(LF-SR)电路或者寄存器作为适配电路, 减少数据输入通道, 但是, 由于编码数据在由自动测试设备(ATE)传到扫描链端口过程中需要进行串并转换, 因而增加了测试时间, 降低了多扫描链的高速测试性能.

另一种多扫描链测试类型被叫做广播扫描测试方案<sup>[15~18]</sup>. 它摒弃编码思想, 采用电路网络等硬件结构把测试数据以广播的形式从芯片输入通道传递到内部多

个扫描链输入端口.该测试方案虽然不需要较多的额外触发器,能够减少测试时间开销,但是,却需要较高的硬件开销,也不适合于完全故障集测试.

从前面的分析可知,编码测试方案在多个方面优于广播扫描测试方案.虽然编码测试方案在测试时效上存在不足,但是,如能提高测试数据压缩率,减少测试数据经由低速的 ATE 端口产生的时间消耗,就能够弥补这类方案因串行移位而增加的时间开销.

基于这种思想,并考虑到基于编码的测试方案需要额外的寄存器,本文把循环移位操作模式引入测试数据处理中,利用测试集中大量无关位,根据需求动态调整向量.所提方案还能够采用一种参考向量更换技术<sup>[19]</sup>保留和传递向量中的无关位,进一步增加向量的存在形式,提高测试向量与其参考向量之间的相容性和反向相容性,减少编码位数.另外,所提方案在测试实施中可以把寄存器的正反向输出数据并行输出到扫描链,减少测试时间.给出的实验结果表明,所提方案不仅保留多扫描链高速测试的优势,还提高测试数据压缩率,利用必备的移位寄存器减少测试数据输入通道和不必要的硬件开销.

## 2 所提压缩方案

### 2.1 引入循环移位操作的依据

见表 1,  $T_1 = 1001XXXX$  和  $R_1 = 1XX011X0$  是两个 8 位的二进制向量,其中  $X \in \{0,1\}$  称作无关位.为叙述方便和与后文一致,这里把施加到被测电路的  $m$  位二进制数称为当前向量,用于与当前向量比较并被循环移位操作的二进制数称作参考向量.显然,表 1 中  $m = 8$ .  $T_i$  表示第  $i$  当前向量,  $R_i$  表示第  $i$  参考向量,  $R_i(j)$  表示向量  $R_i$  循环右移  $j$  位获得的新向量,其中  $i$  和  $j$  都是非负整数.当由  $R_i$  在限定的最大可循环移动位数过程中产生的所有新向量  $R_i(j)$  都不与  $T_i$  相容或者反向相容时,  $R_i$  与  $T_i$  按照异或逻辑生成的新参考向量定义为  $R_i(0)$ ,见 2.2 节.

表 1 循环移位范例

向量 $R_1$ 循环右移位数	向量	
	$R_1$	$T_1$
	1XX011X0	1001XXXX
0	1XX011X0	不相关
1	01XX011X	反向相容
2	X01XX011	不相关
3	1X01XX01	相容

$R_1$  在没有循环移位时与向量  $T_1$  是既不相容也不反向相容(为叙述方面,这里把既不相容也不反向相容的情况简记为不相关).当  $R_1$  向右循环移动 1 位变成新向量  $R_1(1) = 01XX011X$  时,  $R_1(1)$  和  $T_1$  是反向相容.

而当  $R_1$  向右循环移动 3 位变成  $R_1(3) = 1001XX01$  时,  $R_1(3)$  和  $T_1$  是相容.这说明通过循环移位可以使原本不相关的两个向量变成有条件的相容或反向相容,为减少编码位数提供了可能性.另外,在向量  $R_1(1) = 01XX011X$  经过向右循环移动 1 位变成新向量  $R_1(2) = X01XX011$  的过程中,  $R_1(1)$  最右边的无关位移动到  $R_1(2)$  的最左边.这说明循环移位不会丢失向量中的无关位,还增加向量的存在形式,即向量的外延.而对于单向或双向移位方式,因一端数值固定、另一端数值移出,很可能造成无关位丢失以及原有数据信息损失.循环移位的这一特点可以提高向量间的相关性,也减少反向确定原始向量的复杂度.

由此可见,引入循环移位作为动态调整向量方式应该能够有效压缩数据,是可行的.考虑到循环右移等价于循环左移,并且单独采用循环右移设计可以减少解压电路的复杂度和硬件开销,因而本文所提方案仅探讨循环右移的动态向量调整情况.

### 2.2 参考向量形成机制

给定  $m$  位的当前向量  $T_i$  和参考向量  $R_i$ ,并假设参考向量最多可循环右移  $s$  位.显然,  $s \leq m$ .下面给出参考向量形成机制.

(1)当参考向量  $R_i$  在不超过  $s$  位循环移位过程中形成的一个新向量  $R_i(j)$  与当前向量  $T_i$  存在相容(或反向相容)时,新参考向量就是  $R_i(j)$ .  $R_i(j)$  中的无关位由  $T_i$  中的对应位确定,即:如果  $T_i$  对应位是确定值,就用这个确定值(或确定值反码)修改  $R_i(j)$  中的无关位;如果  $T_i$  对应位是无关位,则  $R_i(j)$  中对应位不做修改.之后,再由这个新参考向量反向确定原始参考向量  $R_i$ .

(2)当参考向量经过不超过  $s$  位循环移位形成的所有可能向量与当前向量都不相关时,新的参考向量由当前向量和其参考向量采用异或逻辑运算形成,即:如果参考向量  $R_i$  和当前向量  $T_i$  的对应位中有一个是无关位,则新参考向量的对应位是无关位;否则,由确定值按照异或逻辑形成新参考向量对应位的值.这种情况形成的新参考向量就是 2.1 节提到的  $R_i(0)$ .与直接采用当前向量作为新参考向量相比,其优点是能够把参考向量和当前向量中无关位传到新参考向量中,扩大新参考向量的外延,提高新参考向量与其它当前向量的相容性或反向相容性.

### 2.3 所提方案的编码规则

表 2 是所提方案的编码规则,它有效利用了数据处理中各种情况出现的频次差异,即出现多的情况采用短码字,出现少的情况用长码字.如果参考向量不通过循环移位与当前向量相容(或反向相容),就用标识符“0”(或“101”)表示;如果参考向量在任一不超过  $s$  位循

环移位状态下都与当前向量不相关,就用标识符“100”表示这种关系,并附加当前向量;当参考向量在某一循环移位后与当前向量相容(或反向相容)时,用“11”表示移位,用 $\lceil \log_2 \rceil$ 位二进制数表示移动位数,再加一位“0”(或“1”)表示它们是相容(或反向相容)。

表 2 编码规则

标识符	附加位	说明
0		不移位相容
100	$m$	不相关,并附加 $m$ 位当前向量
101		不移位反向相容
11	$\lceil \log_2 \rceil + 0$	移位状态下相容和反向相容, $\lceil \log_2 \rceil$ 位二进制数用于记录移动位数,0 和 1 分别表示相容和反向相容
	$\lceil \log_2 \rceil + 1$	

## 2.4 编码压缩流程

表 3 给出本文所提方案针对于一个给定测试集的编码压缩流程,并规定最多循环右移位数  $s = 2$ . 这里, $T_i$ 、 $R_i$  和  $R_i(j)$  与 2.1 节定义一致, $C_i$  表示  $T_i$  对应的码字。

编码开始,首先把第 1 当前向量  $T_1 = 0XXXX1X1$  作为第 2 当前向量  $T_2$  的参考向量, $R_2 = T_1$ ,  $T_1$  被编码为  $C_1 = 1000XXXX1X1$ . 接着, $T_2$  与参考向量  $R_2$  比较,它们

是相容,于是码字  $C_2 = 0$ ,赋值  $T_2$  和  $R_2$  中部分无关位,获得新参考向量  $R_3 = 0XX1X1X1$ ;  $T_3$  与参考向量  $R_3$  比较,它们不是相容,而是反向相容,于是码字  $C_3 = 101$ ,新参考向量  $R_4 = 0X11X1X1$ ,并赋值  $T_3$  和  $R_3$  中部分无关位;对于  $T_4$  和  $R_4$ ,因为  $R_4$  在最多移动 2 位范围内形成的新向量  $R_4(1)$  和  $R_4(2)$  都与  $T_4$  不相关,因此获得码字  $C_4 = 1001XX11X00$ ,新参考向量  $R_5 = 1XX0XXX1$  (可以看出, $R_5$  比  $T_4$  和  $R_4$  拥有更多的 X,更可能与下一个向量  $T_5$  相容或者反向相容);对于  $T_5$  和  $R_5$ ,可以发现  $T_5$  和  $R_5$  是不相关,而  $T_5$  和  $R_5(1)$  是相容的,于是  $C_5 = 1100$ , $R_6 = 11X100XX$ ,并赋值  $T_5$  和  $R_5$  中部分无关位;对于  $T_6$  和  $R_6$ ,它们是不相关,而  $T_6$  和  $R_6(1)$  是反向相容的,于是  $C_6 = 1101$ , $R_7 = 111X100X$ ,并赋值  $T_6$  和  $R_6$  中部分无关位(同样可以发现, $R_6$  循环右移 1 位变成  $R_6(1)$ , $R_6$  最右边的 X 被移到  $R_6(1)$  的最左边,与  $R_6$  右移 1 位而最左面固定为 0 获得的数据 011X100X 相比, $R_6(1)$  更可能与  $T_6$  相容或者反向相容,这也就说明循环移位更具有优势);如此判断和编码,直到最后的  $T_8$  和  $R_8$ . 由于  $R_8(2)$  和  $T_8$  是反向相容,获得  $C_8 = 1111$ , $R_9 = 100X1110$ ,并赋值  $T_8$  和  $R_8$  中部分无关位。

表 3 编码压缩流程

序号 $i$	当前向量 $T_i$	参考向量 $R_i$	循环右移 1 位 $R_i(1)$	循环右移 2 位 $R_i(2)$	关系	赋值前编码	赋值后码字
1	0XXXX1X1	00000000				100 0XXXX1X1	100 00111111
2	XXX1XXX1	0XXXX1X1			相容	0	0
3	XX00XXXX	0XX1X1X1			反向相容	101	101
4	1XX11X00	0X11X1X1	10X11X1X	X10X11X1	不相关	100 1XX11X00	100 10011100
5	1XX100XX	1XX0XXX1	11XX0XXX		相容	11 00	11 00
6	00XX0X1X	11X100XX	X11X100X		反向相容	11 01	11 01
7	0X1X10X0	111X100X	X111X100	0X111X10	相容	11 10	11 10
8	011X0001	0X111010	00X11101	100X1110	反向相容	11 11	11 11
9		100X1110					
位数	64					42	42

判断和编码完毕,获得的码字空间中还存在无关位,见表 3 中第 7 栏. 这时先赋值  $R_9$  中无关位为 0(也可以赋为 1),然后再由  $R_9$  开始反向根据当前向量与其对应参考向量的关系赋值所有向量和码字中的无关位,结果见表 3 中第 8 栏。

表中给出测试集总位数是 64 位,压缩后码字是 42 位,节省了 22 位数据. 这个例子仅仅是用于说明压缩流程,而针对于实际 VLSI 电路,因为无关位概率达到 90% 左右,本文所提方案会表现出更好的压缩效果,第 4 节的实验结果说明了这一点。

针对于表 3 的编码压缩流程,给出所提方案的通用程序描述:

- (1) 读取测试集.
- (2) 给定扫描链条数.

(3) 给定当前向量最大可循环移动位数  $s$ .

(4) 判断每一个当前向量与它对应的参考向量在不同循环移位后关系,赋值无关位,并编码,记录码字数。

(5) 返回步骤(3),重复步骤(4),寻找不同  $s$  时的最小码字数。

(6) 返回步骤(2),重复步骤(3)到(5),寻找不同扫描链条数时的最小码字数。

(7) 输出最小码字数时的扫描链条数和  $s$  值,以及压缩结果和码字数据。

## 3 解压电路

本文所提方案的解压电路见图 1. 图中被测电路(CUT)由  $m$  条扫描链组成. 由于使用相容和反向相容

对扫描链端口进行了合并,所以出现部分扫描链的输入端被短接或通过非门连接<sup>[16]</sup>,见图中 scan chain  $i$  和 scan chain  $j$  的连接.这样,所需要的扫描链端口数被减少到  $m'$  条.再考虑到当前向量与寄存器中向量不相关时需要串行输入数据,每个扫描链(不包括那些被连到其它扫描链端口的扫描链)的第一个触发器通过选择器被串接,该思想可参见文献[10]. counter1 是模 $\lceil \log_2^{m'} \rceil$ 可移入数据计数器,用于计数从  $bit\_in$  端移入附加在码字“100”之后的  $m'$  位测试数据,也用于移入和计数向量循环移位次数. counter2 是模 $\lceil \log_2^s \rceil$ 计数器,用于计数码字“11”之后表示  $s$  的二进制位数.循环移位寄存器(CSR)中触发器的正反两个输出端由选择器选择输出数据.另外,  $CLK1$  被用来驱动所有扫描链的第一触发器单元,  $CLK2$  被用来驱动扫描链中剩下的触发器<sup>[10]</sup>.下面描述该电路的工作过程.

(1)电路初始化,由  $en$  端发出使能信号,再由  $bit\_in$  端接收数据.

(2)当接收到数据位为“0”时,有效  $valid$ ,并行读取 CSR 的正向输出端数据.

(3)当接收到“101”时,  $sel1$  置高电平,有效  $valid$ ,并行读取 CSR 的反向输出端数据.

(4)当接收到“100”时,使 counter1 减 1 计数,并继续使能  $en$ ,读取  $bit\_in$  端数据,同时一路在  $sel2$  置高电平时串行输入到扫描链的第一单元,另一路通过异或门与 CSR 中数据异或,再由另一端返回 CSR 中,修改参考向量.

(5)当接收到“11”时,使 counter2 减 1 计数,继续使

能  $en$ ,读取  $bit\_in$  端数据并移入 counter1 中.当  $rst2$  变为高电平,停止移入 counter1,再读取  $bit\_in$  端 1 位数据,以便确定  $sel1$  状态.根据 counter1 中数据,循环移动 CSR 中数据( $data\_out$  保持低电平),直到  $rst1$  为高电平停止移位,并由  $sel1$  选择 CSR 的输入端口,有效  $valid$ .

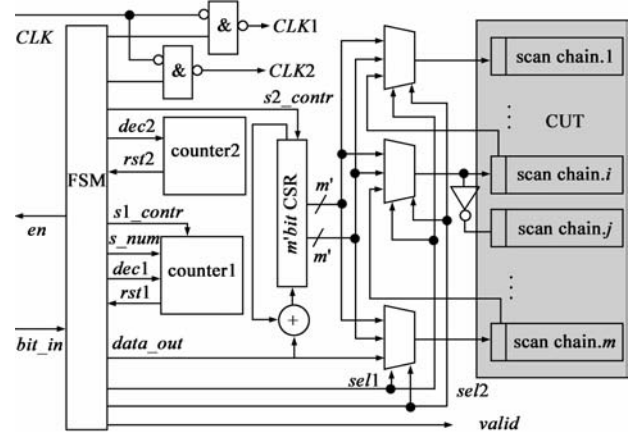


图1 解压电路结构

#### 4 实验数据分析

选用 ISCAS-89 标准电路中最大几个电路进行实验,见表 4.表中分别给出了在不同扫描链情况下所提方案的压缩率.表中数据表明,部分电路在扫描链达到模式测试位数时能够获得最高压缩率.这主要是因为增加扫描链条数就会减少施加到每一个扫描链的数据位数,致使扫描链端口合并几率更大.当然,扫描链过多则会打乱原有链路结构,导致响应评价电路复杂.因而在压缩率和硬件开销方面需要寻找一种折衷.

表 4 基于不同扫描链的测试数据压缩率

电路	测试集 (bit)	测试模式宽度 (bit)	压缩率 (%)											最高压缩率 (%)
			16	32	42	48	64	84	128	200	611	700	1664	
s13207	165200	700	85.00	87.81			88.71		88.47	88.71		<b>90.70</b>		90.70
s15850	76986	611	72.58	75.15			75.00		74.29	73.88		<b>76.84</b>		76.84
s38417	164736	1664	54.49	54.18			50.62		43.47	38.27			<b>68.19</b>	68.19
s38584	199104	1464	70.99	74.09		<b>74.51</b>	74.25		73.05	70.91				74.51
s5378	23754	214	55.13	57.48			58.24	<b>59.51</b>	58.28	58.98				59.51
s9234	39273	247	58.22	60.75	<b>61.29</b>		59.68		57.24	57.89				61.29

表 5 压缩率比较 (%)

电路	SEFI <sup>[10]</sup>	DWC <sup>[11]</sup>	SCCD <sup>[12]</sup>	BDSM <sup>[14]</sup>	所提方案
s13207	79.35	80.77	90.39	82.09	<b>90.70</b>
s15850	60.70	63.99	76.17	66.84	<b>76.84</b>
s38417	58.06	48.47	67.95	64.05	<b>68.19</b>
s38584	60.38	67.15	68.64	68.28	<b>74.51</b>
s5378	38.80	51.20	<b>60.16</b>	-	59.51
s9234	29.00	51.85	57.61	45.82	<b>61.29</b>
平均	54.38	60.57	70.15		<b>71.84</b>

下面给出所提方案与当前具有代表性的几个方案的压缩率,见表 5.其中,文献[12]和[14]都是按照 128

个词条计入字典存储后的压缩率.表中数据表明,除电路 s5378 外,所提方案对其它电路都获得很高的压缩率,并且在平均值上也是最高的,高出文献[10]达到 17%.另外,所提方案对电路 s5378 效果欠佳的原因主要是这个电路所含无关位较少,且整个测试集位数也是最少,这说明所提方案更适合测试 VLSI 电路.

下面再讨论所提方案的测试用时.这里忽略 ATE 与解压电路的异步握手协议,并假设 ATE 传输数据频率是 20MHz,扫描链测试频率是 320MHz,实验结果见表 6.表中数据表明所提方案比直接施加原始数据减少测

试用时 70%,比文献[19]减少用时 8%。所以说,尽管所提方案需要消耗一定的测试数据移位时间,但是,这种测试仍然比单扫描链测试消耗更少的时间,保留了多扫描链快速测试的优势。

表 6 测试耗时分析(s)

电路	单扫描链			所提方案	
	原始测试集	XP <sup>[22]</sup>	减少比	耗时	减少比
s13207	8.260	1.573	80.96	0.816	90.12
s15850	3.849	1.280	66.74	0.948	75.37
s38417	8.237	4.175	49.31	2.784	66.20
s38584	9.955	3.410	65.75	2.679	73.09
s5378	1.188	0.529	55.47	0.515	56.65
s9234	1.964	0.916	53.36	0.807	58.91
平均			61.93		70.06

## 5 结束语

本文所提方案能够与其它编码测试方案一样使用寄存器把输入通道减少到一条。该方案还能够利用这种寄存器对其内容进行适当的动态调整,一方面可以减少不必要的测试硬件开销,另一方面可以增加寄存器内容的外延,提高其与测试激励的相关性,以便采用并行方式向扫描链输入数据,减少测试时间。与其它移位类型相比,循环移位技术能够较全面发挥向量中无关位的作用,易于恢复原始向量信息,有效提高向量间的相容性和反向相容性,因而所提方案能够增加短码字的利用率,减少数据存储量,自然也减少数据由低速的 ATE 传到被测电路的时间。总之,所提方案能够快速测试被测电路,获得较高的压缩率,优于其它同类型的压缩方案。

## 参考文献

[1] N A Toubia. Survey of test vector compression techniques[J]. *Design & Test of Computers*, 2006, 23(4): 294 – 303.

[2] 方昊,姚博,等. 双游程编码的无关位填充算法[J]. *电子学报*. 2009, 37(1): 1 – 6.  
Fang Hao, Yao Bo, et al. The algorithm of filling X bits in dual-run-length coding[J]. *Acta Electronica Sinica*. 2009, 37(1): 1 – 6. (in Chinese)

[3] 詹文法,梁华国,等. 一种混合定变长虚拟块游程编码的测试数据压缩方案[J]. *电子学报*. 2009, 37(8): 1837 – 1841.  
Zhan Wen-fa, Liang Hua-guo, et al. A test data compression scheme based on mixed and variable run-length coding in virtual block[J]. *Acta Electronica Sinica*. 2009, 37(8): 1837 – 1841. (in Chinese)

[4] 刘军,吴玺,等. 基于可重构 MUXs 网络的低功耗测试数据压缩方法[J]. *电子学报*. 2011, 39(5): 1190 – 1193.  
Liu Jun, Wu Xi, et al. Low power test data compression tech-

nique based on reconfigurable MUXs network[J]. *Acta Electronica Sinica*. 2011, 39(5): 1190 – 1193. (in Chinese)

[5] O Sinanoglu. Scan architecture with align-encode[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2008, 27(12): 2303 – 2316.

[6] B Koenemann, C Barnhart, et al. A smartBIST variant with Guaranteed Encoding[A]. *The 10th Asian Test Symposium [C]*. Washington, DC, USA: IEEE Computer Society, 2001. 325 – 330.

[7] C V Krishna, A Jas, N A Toubia. Achieving high encoding efficiency with partial dynamic LFSR reseeding[J]. *ACM Transactions on Design Automation of Electronic Systems*, 2004, 9(4): 500 – 516.

[8] A W Hakmi, H J Wunderlich, et al. Programmable deterministic built-in self-test[A]. *2007 IEEE International Test Conference [C]*. Washington, DC, USA: IEEE Computer Society, 2007. 1 – 9.

[9] Hua-Guo Liang, S Hellebrand, H J Wunderlich. Two-dimensional test data compression for scan-based deterministic BIST[A]. *IEEE International Test Conference [C]*. Washington, DC, USA: IEEE Computer Society, 2001. 894 – 902.

[10] Lei Li, K Chakrabarty, N A Toubia. Test data compression using dictionaries with selective entries and fixed-length indices[J]. *ACM Transaction on Design Automation of Electronic Systems*, 2003, 8(4): 470 – 490.

[11] A Würtenberger, C S Tautermann, S Hellebrand. Data compression for multiple scan chains using dictionaries with corrections[A]. *IEEE International Test Conference [C]*. Washington, DC, USA: IEEE Computer Society, 2004. 926 – 935.

[12] Taejin Kim, Sunghoon Chun, et al. An effective hybrid test data compression method using scan chain compaction and dictionary-based scheme[A]. *17th Asian Test Symposium [C]*. Washington, DC, USA: IEEE Computer Society, 2008. 151 – 156.

[13] X Kavousianos, E Kalligeros, D Nikolos. Test data compression based on variable-to-variable Huffman encoding with codeword reusability[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2008, 27(7): 1333 – 1338.

[14] K Basu, P Mishra. Test data compression using efficient bit-mask and dictionary selection methods[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2009, 18(9): 1277 – 1286.

[15] A H El-Maleh, M I Ali, A A Al-Yamani. Reconfigurable broadcast scan compression using relaxation-based test vector decomposition[J]. *IET Computers & Digital Techniques*, 2009, 3(2): 143 – 161.

[16] Lei Li, K Chakrabarty, et al. Efficient space/time compression to reduce test data volume and testing time for IP cores[A].

18th International Conference on VLSI Design[C]. Washington, DC, USA: IEEE Computer Society, 2005. 53 – 58.

- [17] A Chandra, R Kapur, Y Kanzawa. Scalable Adaptive Scan (SAS)[A]. Design, Automation & Test in Europe Conference & Exhibition[C]. Leuven, Belgium: European Design and Automation Association, 2009. 1476 – 1481.
- [18] S J Wang, K S M Li, et al. Scan-chain partition for high test-

data compressibility and low shift power under routing constraint[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2009, 28(5): 716 – 727.

- [19] M X Yi, H G Liang, et al. A novel X-ploiting strategy for improving performance of test data compression[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2010, 18(2): 324 – 329.

## 作者简介



**刘杰** 男, 1970 年出生于安徽省泗县, 副教授, 博士研究生, 主要研究方向为集成电路内建自测试与可测试设计, 计算机体系结构等.

E-mail: liujie52@ah163.com



**梁华国** 男, 1959 年出生于安徽省合肥市, 教授, 博士生导师, 中国计算机学会容错计算专业委员会副主任, 主要研究方向为内建式 BIST、数字系统设计自动化、ATPG 算法与分布式控制等.

E-mail: hgliang@mail.hf.ah.cn